



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

J11046 U.S. PTO  
09/785330  
02/20/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
th this Office.

出 願 年 月 日

Date of Application:

2000年 3月28日

出 願 番 号

Application Number:

特願2000-092967

出 願 人  
Applicant(s):

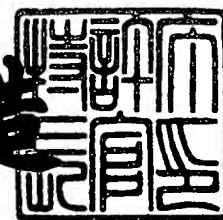
富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 9月18日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3075881

【書類名】 特許願

【整理番号】 0000063

【提出日】 平成12年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 7/146

【発明の名称】 イメージセンサ

【請求項の数】 5

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 山本 克義

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 船越 純

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100092587

    【弁理士】

    【氏名又は名称】 松本 眞吉

    【電話番号】 0426-20-7053

【手数料の表示】

    【予納台帳番号】 004880

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

【物件名】            要約書    1

【包括委任状番号】   9705607

【プルーフの要否】    要

【書類名】 明細書

【発明の名称】 イメージセンサ

【特許請求の範囲】

【請求項 1】 有効画素領域と、これに隣接した光学的黑画素領域とを有し、該有効画素領域及び該光学的黑画素領域にはいずれも受光素子を含む画素が複数配列され、各画素中のリセットノードにリセットスイッチ素子が接続されている画素アレイと、

ブラッククランプ回路を備え、該画素アレイを走査して画素から積分信号を読み出させ、該積分信号を、該ブラッククランプ回路により求めた暗電流積分信号で補正する読み出し回路と、

を有するイメージセンサにおいて、

該光学的黑画素領域の同一画素行内の複数の画素の中の該リセットノードを共通に接続する電位平均化ライン、

を有することを特徴とするイメージセンサ。

【請求項 2】 上記電位平均化ラインを含む画素行は、上記有効画素領域の水平走査方向の外側に位置しており、上記ブラッククランプ回路によりラインクランプが行われることを特徴とする請求項 1 記載のイメージセンサ。

【請求項 3】 上記電位平均化ラインを含む画素行は、上記有効画素領域の垂直走査方向の外側に位置しており、上記ブラッククランプ回路によりフレームクランプが行われることを特徴とする請求項 1 記載のイメージセンサ。

【請求項 4】 複数の画素行の上記平均化ラインが共通に接続され、上記リセットスイッチ素子がこれら平均化ラインに共通に接続されていることを特徴とする請求項 3 記載のイメージセンサ。

【請求項 5】 上記読み出し回路はさらに、

上記電位平均化ラインに接続されている上記複数の画素についてはその一部に接続された垂直バスライン上の信号のみが供給される相関 2 重サンプリング回路

を有することを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載のイメージセンサ。

## 【発明の詳細な説明】

## 【発明の属する技術分野】

本発明は、電子カメラ、イメージリーダ又はファクシミリ等に用いられる 1 次元又は 2 次元のイメージセンサに関する。

## 【従来の技術】

イメージセンサの各受光素子から読み出された信号には、光積分成分と暗電流積分成分とが含まれている。この暗電流は、 $9^{\circ}\text{C}$  上昇すると約 2 倍になるという強い温度依存性を持っている。

読み出し信号から暗電流積分成分を除去して光積分信号を得るために、従来では、画素アレイの周辺領域を光遮光膜で覆って光学的黒画素領域を形成し、ブラッキング期間において光学的黒画素から暗電流積分信号を読み出し、ブラッククランプ回路でその平均値  $V_d$  をオフセット値（黒レベル）として求めていた。そして、有効画素領域からの読み出し期間では該ブラッククランプ回路で、読み出された信号  $V_s$  から平均値  $V_d$  を差し引いていた。

このようなブラッククランプには、1 水平走査毎に行うラインブラッククランプと、1 フレーム毎に行うフレームブラッククランプとがあり、そのいずれかが行われる。

図 1 1 は、水平ブラッキング期間において光学的黒画素領域から読み出された暗電流積分信号を示す。この信号は、各画素の特性のばらつきにより、一定ではない。

## 【発明が解決しようとする課題】

特に欠陥画素があると、図 1 1 に示すように暗電流積分信号が急変するので、平均値を求めるためキャパシタにより積分を行う回路を備えたブラッククランプ回路では、オフセット値が不正確になり、横縞ノイズが発生する原因となる。これを防止するために、光学的黒画素領域の幅を広くとると、画素数が多いイメージセンサでは水平ブラッキング期間内にオフセット成分を求めることができなくなったり、チップ面積が増大してコスト高になる。

本発明の目的は、このような問題点に鑑み、画素欠陥などによりブラッククランプレベルがばらつくのを防止できるイメージセンサを提供することにある。

本発明の他の目的は、ブラッククランプの黒レベルをより短時間で求めることができるイメージセンサを提供することにある。

【課題を解決するための手段及びその作用効果】

本発明によるイメージセンサでは、

有効画素領域と、これに隣接した光学的黒画素領域とを有し、該有効画素領域及び該光学的黒画素領域にはいずれも受光素子を含む画素が複数配列され、各画素中のリセットノードにリセットスイッチ素子が接続されている画素アレイと、

ブラッククランプ回路を備え、該画素アレイを走査して画素から積分信号を読み出させ、該積分信号を、該ブラッククランプ回路により求めた暗電流積分信号で補正する読み出し回路と、

を有するイメージセンサにおいて、

該光学的黒画素領域の同一画素行内の複数の画素の中の該リセットノードを共通に接続する電位平均化ラインを有する。

このイメージセンサによれば、従来ブラッククランプ回路で行われていた平均化処理の代わりに、光学的黒画素領域からの信号読み出し前に電位平均化処理が自動的に行われるので、読み出した信号のレベルが安定する。これにより、より正確なラインブラッククランプが行われて、横縞ノイズが低減され、画質が向上する。

また、特定の時点で暗電流積分電圧をサンプリングすればよいので、ブラッククランプ回路の構成を従来よりも簡単化することができる。

さらに、前記理由により黒レベル（オフセット値）を従来より短時間で求めることができるので、画素数が多くてブランキング期間が短くても、これを求めることができる。

本発明の他の目的、構成及び効果は以下の説明から明らかになる。

【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。

〔第 1 実施形態〕

図 1 は、本発明の第 1 実施形態のイメージセンサを示す概略ブロック図である。

イメージセンサは、例えばMOS型である。

画素アレイ10は、行及び列に配列された画素を備えている。画素アレイ10の周部は、遮光膜、例えばアルミニウム膜で受光素子が覆われた光学的黒画素領域101であり、図1ではこれにハッチングが施されている。光学的黒画素領域101には受光素子に光が入射しないので、この領域から暗電流積分信号のみを読み出すことができる。光学的黒画素領域101の内側は遮光膜が存在しない有効画素領域102である。

光学的黒画素領域101の水平走査開始側かつ遮光膜の下側には、各画素行に、太線で示す電位平均化ライン30が形成されている。

光学的黒画素領域101の画素は、有効画素領域102のそれと基本的に同一構成であり、光学的黒画素領域101の画素に上記遮光膜が形成されていることと、光学的黒画素領域101の一部の画素に電位平均化ライン30が形成されている点でのみ有効画素領域102の画素と異なる。

図2は、図1中の画素アレイ10の一部の回路図である。

光学的黒画素21では、受光素子としてのホトダイオード31のアノードがクランド電位の導体に接続され、ホトダイオード31のカソードが、一方ではバッファアンプ32及び読み出しスイッチ素子33を介して垂直バスライン121に接続され、他方ではリセットスイッチ素子41を介してリセット電位供給線40に接続されている。バッファアンプ32は、例えばソースホロア回路である。読み出しスイッチ素子33及びリセットスイッチ素子41はFETで形成されている。リセットスイッチ素子42～45はそれぞれ光学的黒画素22～25に備えられ、各ホトダイオードのリセット端であるカソードとリセット電位供給線40との間に接続されている。

同一行の読み出しスイッチ素子の制御入力端は行選択ライン50（ゲートライン）で共通に接続され、同一行のリセットスイッチ素子41～45の制御入力端は行リセットライン51（ゲートライン）で共通に接続されている。行選択ライン50及び行リセットライン51にはそれぞれ、図1の垂直走査回路11から行選択信号RS1及びリセット信号RST1が供給される。光学的黒画素21～23のホトダイオードのリセット端は、太線で示す電位平均化ライン30で共通に

接続されている。

行選択信号 R S 1 のパルスにより読み出しスイッチ素子 3 3 がオンになって、ホトダイオード 3 1 のカソード電位がバッファアンプ 3 2 及び読み出しスイッチ素子 3 3 を介し垂直バスライン 1 2 1 上に読み出される。光学的黒画素 2 2 ~ 2 5 についても同様に、ホトダイオードのカソード電位がバッファアンプ及び読み出しスイッチ素子を介し垂直バスライン 1 2 2 ~ 1 2 6 上に読み出される。次に、リセット信号 R S T 1 のパルスによりリセットスイッチ素子 4 1 ~ 4 5 がオンになり、ホトダイオードのカソード電位が V D D にリセットされる。

画素 2 1 ~ 2 5 に対するこのような読み出し及びリセットの動作は、1 フレーム期間経過毎に行われる。リセットから次のリセットまでの 1 フレーム期間において、ホトダイオード 3 1 に蓄積された電荷は、有効画素 2 4 及び 2 5 では入射光及び暗電流により放電され、光学的黒画素 2 1 ~ 2 3 では暗電流のみにより放電される。

図 1 に戻って、シフトレジスタを含む垂直走査回路 1 1 は、画素アレイ 1 0 を線（行）順次に走査する。これにより、選択された行の受光素子に積分された信号が垂直バス 1 2 上に読み出される（垂直読み出し）。読み出された信号は、サンプルホールド制御回路 1 3 からの制御信号に応答して、サンプルホールド回路 1 4 に保持される。選択された行の受光素子が上記のようにリセットされて、この行の積分が開始される。

サンプルホールド回路 1 4 は例えば、相関 2 重サンプリング回路（C D S）であり、この場合、積分信号の読み出し及び保持の詳細は次の通りである。サンプルホールド回路がリセットされ、第 1 回サンプリングにより（積分信号  $V_x$ ）+（ホトダイオード 3 2 に結合されたバッファアンプ 3 2 及び読み出しスイッチ素子 3 3 の特性のばらつきに依存した成分  $\Delta V$ ）の電圧がサンプルホールド回路 1 4 にサンプリングされ、次いで選択行の上記リセットが行われ、次いで第 2 回サンプリングにより、 $V_x + \Delta V$  と  $\Delta V$  の差である積分信号電圧  $V_x$  がサンプルホールド回路 1 4 に保持される。

シフトレジスタを含む水平走査回路 1 5 によりサンプルホールド回路 1 4 の図 1 左側から点順次に信号が水平バス 1 6 上に読み出される。水平バス 1 6 上の信



号は、増幅回路 1 7 で増幅される。

暗電流積分信号は水平ブランキング期間において水平バス 1 6 上に読み出され、その電圧は、図 3 に示す如く一定となる。すなわち、電位平均化ライン 3 0 により読み出し前に平均化されているので、ブラッククランプ回路 1 8 において平均化する必要がない。ブラッククランプ回路 1 8 は、この電圧を例えば図 3 の時点  $t_1$  でサンプリングし、これを黒レベル  $V_b$  として保持する。ブラッククランプ回路 1 8 は、有効画素から積分信号を読み出す時、水平バス 1 6 上の積分信号  $V_s$  から黒レベル電圧  $V_b$  を差し引いたものを出力する。このような黒レベル補正動作が、各水平ラインについて行われる（ラインブラッククランプ）。

黒レベルが補正された信号は、A/D 変換回路 1 9 でデジタル値に変換される。

タイミング制御回路 2 0 は、クロック CLK に基づいて、垂直走査回路 1 1、サンプルホールド制御回路 1 3 及び水平走査回路 1 5 を動作させるための制御信号を生成する。

図 2 に戻って、光学的黒画素 2 1 ~ 2 3 について、ホトダイオードのリセット端が電位平均化ライン 3 0 で共通に接続されているので、垂直バスライン 1 2 1 ~ 1 2 3 から読み出された暗電流積分電圧は互いにほぼ等しくなる。光学的黒画素 2 1 ~ 2 3 の、バッファアンプ 3 2 及び読み出しスイッチ素子 3 3 の特性のばらつきによる暗電流積分電圧の差は、サンプルホールド回路 1 4 による上記動作により除去される。

本第 1 実施形態では、光学的黒画素領域 1 0 1 の同一画素行内の複数の画素の画素中のリセットノードが電位平均化ライン 3 0 で共通に接続されているので、従来ブラッククランプ回路 1 8 で行われていた平均化処理の替わりに、光学的黒画素領域 1 0 1 からの信号読み出し前に電位平均化処理が自動的に行われ、読み出した信号のレベルが安定する。これにより、より正確なラインブラッククランプが行われて、横縞ノイズが低減され、画質が向上する。

また、特定の時点で暗電流積分電圧をサンプリングすればよいので、ブラッククランプ回路 1 8 の構成を従来よりも簡単にすることができる。

〔第 2 実施形態〕

図 4 は、本発明の第 2 実施形態のイメージセンサを示す概略ブロック図である。

このイメージセンサでは、光学的黒画素領域 1 0 1 の垂直バスラインのうち、図 2 の垂直バスライン 1 2 3 のみがサンプルホールド回路 1 4 A の信号入力端に接続されている。

これにより、画素アレイ 1 0 の画素数が多くて水平ブランキング期間が短くても、その期間内でブラッククランプ回路 1 8 において正確な黒レベルをサンプリングすることができる。

また、サンプルホールド回路 1 4 A 及び水平走査回路 1 5 A の段数が図 1 の場合よりも少なくなる。

他の点は、上記第 1 実施形態と同一である。

#### [第 3 実施形態]

図 5 は、本発明の第 3 実施形態のイメージセンサを示す概略ブロック図である。

このイメージセンサでは、水平走査回路 1 5 B にモード信号 MODE が供給される。水平走査回路 1 5 B は、モード信号 MODE が通常モードを示している場合には図 5 の左側から右側へ走査し、左右反転モード（又は上下左右反転モード）を示している場合にはこれと逆方向に走査する。

光学的黒画素領域 1 0 1 の水平走査開始側の部分から読み出された信号で 1 水平ラインの黒レベルを決定する必要があるので、左右反転モードの場合には、この部分にも図中太線で示す電位平均化ラインが形成されている。この部分についても上記第 2 実施形態と同様に、1 つの垂直バスラインがサンプルホールド回路 1 4 B の信号入力端に接続されている。

他の点は上記第 2 実施形態と同一である。

#### [第 4 実施形態]

図 6 は、本発明の第 4 実施形態のイメージセンサを示す概略ブロック図である。

このイメージセンサでは、フレームブラッククランプを行うために、光学的黒画素領域 1 0 1 の垂直走査開始側に、電位平均化ライン 3 0 A ~ 3 0 C がそれぞれ

れの画素行に形成されている。

サンプルホールド回路 1 4 C 及び水平走査回路 1 5 C の段数は、有効画素領域 1 0 2 の列数に等しく、図 4 の場合よりも 1 つ少ない。また垂直走査回路 1 1 A の段数は、有効画素領域 1 0 2 の行数よりも電位平均化ラインの本数だけ多い数である。

図 7 は、電位平均化ライン 3 0 A 及びその付近の回路の一部を示す図である。

ブラッククランプ回路 1 8 は、垂直ブランキング期間において、電位平均化ライン 3 0 A ~ 3 0 C からバッファアンプ 3 2、読み出しスイッチ素子 3 3 及び垂直バスラインを介して読み出された電圧の平均値を積分回路で求め、これを黒レベル  $V_b$  として保持する。そして、有効画素についての水平バス 1 6 上の積分信号  $V_s$  から黒レベル電圧  $V_b$  を差し引いた光積分電圧を出力する。このような黒レベル補正動作が、フレーム毎に行われる（フレームブラッククランプ）。

この第 4 実施形態においても、上記第 1 実施形態と同様の効果が得られる。

#### 〔第 5 実施形態〕

図 8 は、本発明の第 5 実施形態のイメージセンサを示す概略ブロック図である。

このイメージセンサでは、電位平均化ライン 3 0 A、3 0 B 及び 3 0 C がコモンライン 3 0 D で接続されている。

図 9 は、電位平均化ライン 3 0 A ~ 3 0 D 及びその付近の回路の一部を示す。

電位平均化ライン 3 0 A ~ 3 0 D は図 2 のリセット電位供給線 4 0 としても機能する。すなわち、3 画素行に共通のリセットスイッチ素子 4 1 がコモンライン 3 0 D に接続されている。3 画素行について共通の暗電流積分信号が垂直バスラインから読み出されるので、これら 3 画素行の行選択ライン 5 0 A、5 0 B 及び 5 0 C もコモンライン 5 0 D で共通に接続され、これに行選択信号  $RS_0$  が供給されて、3 画素行の読み出しスイッチ素子 3 3 が共通にオン／オフ制御される。

該 3 画素行に対する行選択信号は  $RS_0$  だけでよいので、垂直走査回路 1 1 B の段数は有効画素領域 1 0 2 の行数より 1 つ多い数となり、図 6 の垂直走査回路 1 1 A よりも簡単になる。

また、垂直ブランキング期間でのブラッククランプ期間を第 4 実施形態の場合

の 1 / 3 にすることができるので、本第 5 実施形態は特に、画素アレイ 1 0 の画素数が多くて垂直ブランキング期間が短い場合に有利である。

他の点は上記第 4 実施形態と同一である。

#### 【第 6 実施形態】

図 1 0 は、本発明の第 6 実施形態のイメージセンサを示す概略ブロック図である。

このイメージセンサでは、垂直走査回路 1 1 C にモード信号 MODE が供給される。垂直走査回路 1 1 C は、モード信号 MODE が通常モードを示している場合には図 1 0 の上側から下側へ走査し、上下反転モード（又は上下左右反転モード）を示している場合にはこれと逆方向に走査する。

光学的黒画素領域 1 0 1 の垂直走査方向開始側の部分で 1 フレームの黒レベルが決定されるので、上下反転モードの場合には、この部分にも、図中太線で示す電位平均化ラインが形成されている。この部分についても上記第 5 実施形態と同様に、1 つ（複数行に共通）の行選択信号が垂直走査回路 1 1 C の出力端に接続されている。

他の点は上記第 5 実施形態と同一である。

なお、本発明には外にも種々の変形例が含まれる。

例えば、イメージセンサは 1 次元のものや CCD 型等であってもよい。

#### 【図面の簡単な説明】

##### 【図 1】

本発明の第 1 実施形態のイメージセンサを示す概略ブロック図である。

##### 【図 2】

図 1 中の画素アレイの一部の回路図である。

##### 【図 3】

水平ブランキング期間において光学的黒画素領域から読み出された暗電流積分信号を示す線図である。

##### 【図 4】

本発明の第 2 実施形態のイメージセンサを示す概略ブロック図である。

##### 【図 5】

本発明の第 3 実施形態のイメージセンサを示す概略ブロック図である。

【図 6】

本発明の第 4 実施形態のイメージセンサを示す概略ブロック図である。

【図 7】

図 6 中の電位平均化ライン 3 0 A 及びその付近の回路の一部を示す図である。

【図 8】

本発明の第 5 実施形態のイメージセンサを示す概略ブロック図である。

【図 9】

図 8 中の電位平均化ライン 3 0 A ~ 3 0 D 及びその付近の回路の一部を示す図である。

【図 1 0】

本発明の第 6 実施形態のイメージセンサを示す概略ブロック図である。

【図 1 1】

水平ブランキング期間において従来の光学的黒画素領域から読み出された暗電流積分信号を示す線図である。

【符号の説明】

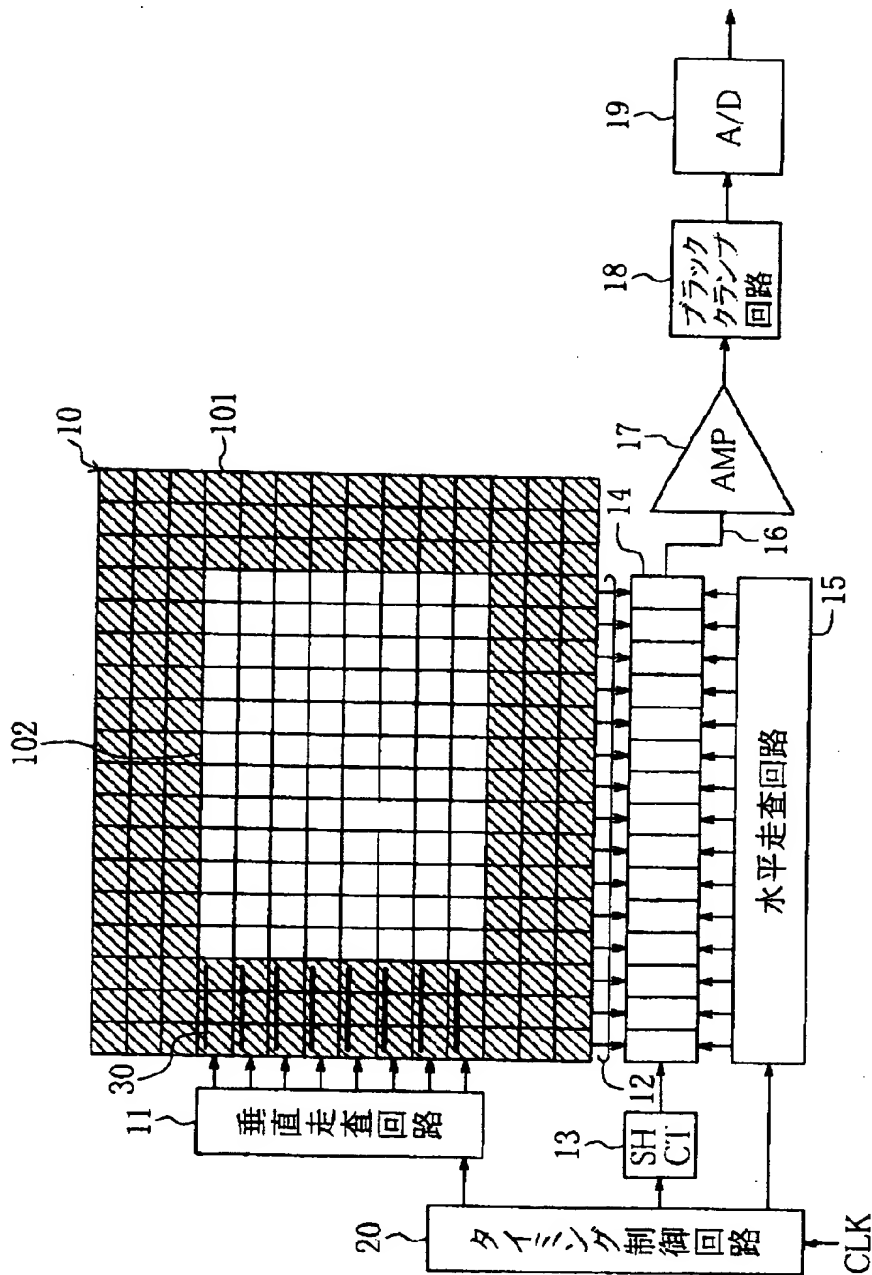
- 1 0 画素アレイ
- 1 0 1 光学的黒画素領域
- 1 0 2 有効画素領域
- 1 1、1 1 A ~ 1 1 C 垂直走査回路
- 1 2 垂直バス
- 1 2 1 ~ 1 2 5 垂直バスライン
- 1 3 サンプルホールド制御回路
- 1 4、1 4 A ~ 1 4 C サンプルホールド回路
- 1 5、1 5 A ~ 1 5 C 水平走査回路
- 1 6 水平バス
- 1 7 増幅回路
- 1 8 ブラッククランプ回路
- 1 9 A / D 変換回路

2 0 タイミング制御回路  
2 1 ~ 2 3 光学的黒画素  
2 4、2 5 有効画素  
3 0、3 0 A ~ 3 0 C 電位平均化ライン  
3 0 D、5 0 D コモンライン  
3 1 ホトダイオード  
3 2 バッファアンプ  
3 3 読み出しスイッチ素子  
4 0 リセット電位供給線  
4 1 ~ 4 5 リセットスイッチ素子  
5 0、5 0 A ~ 5 0 C 行選択ライン  
5 1 行リセットライン  
R S T 1 リセット信号  
R S 0、R S 1 行選択信号

【書類名】 図面

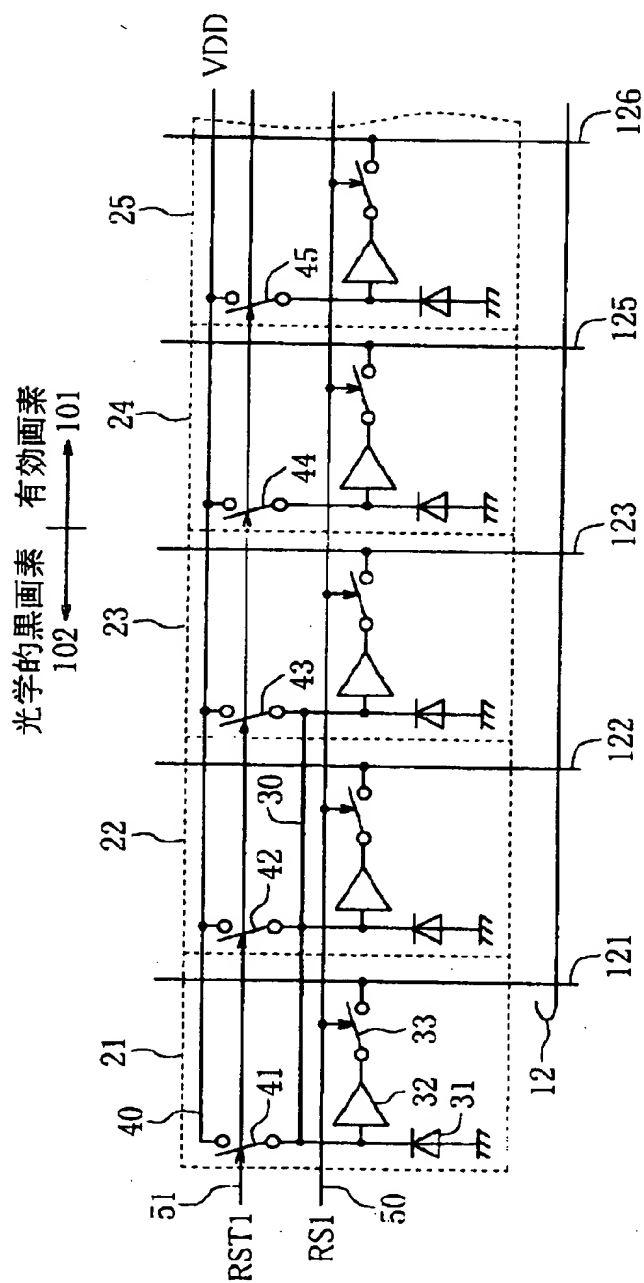
【図 1】

本発明の第1実施形態のイメージセンサを示す概略ブロック図



【図 2】

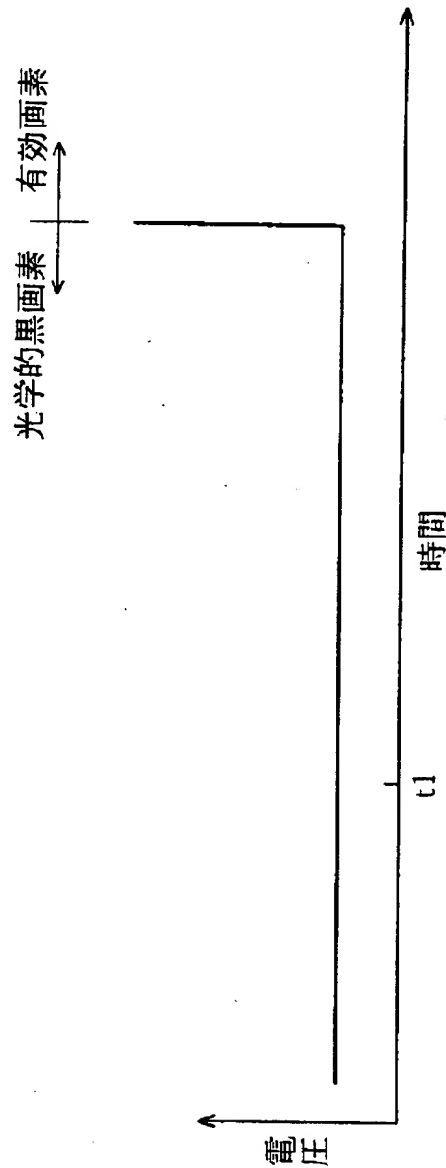
図1中の画素アレイの一部の回路図





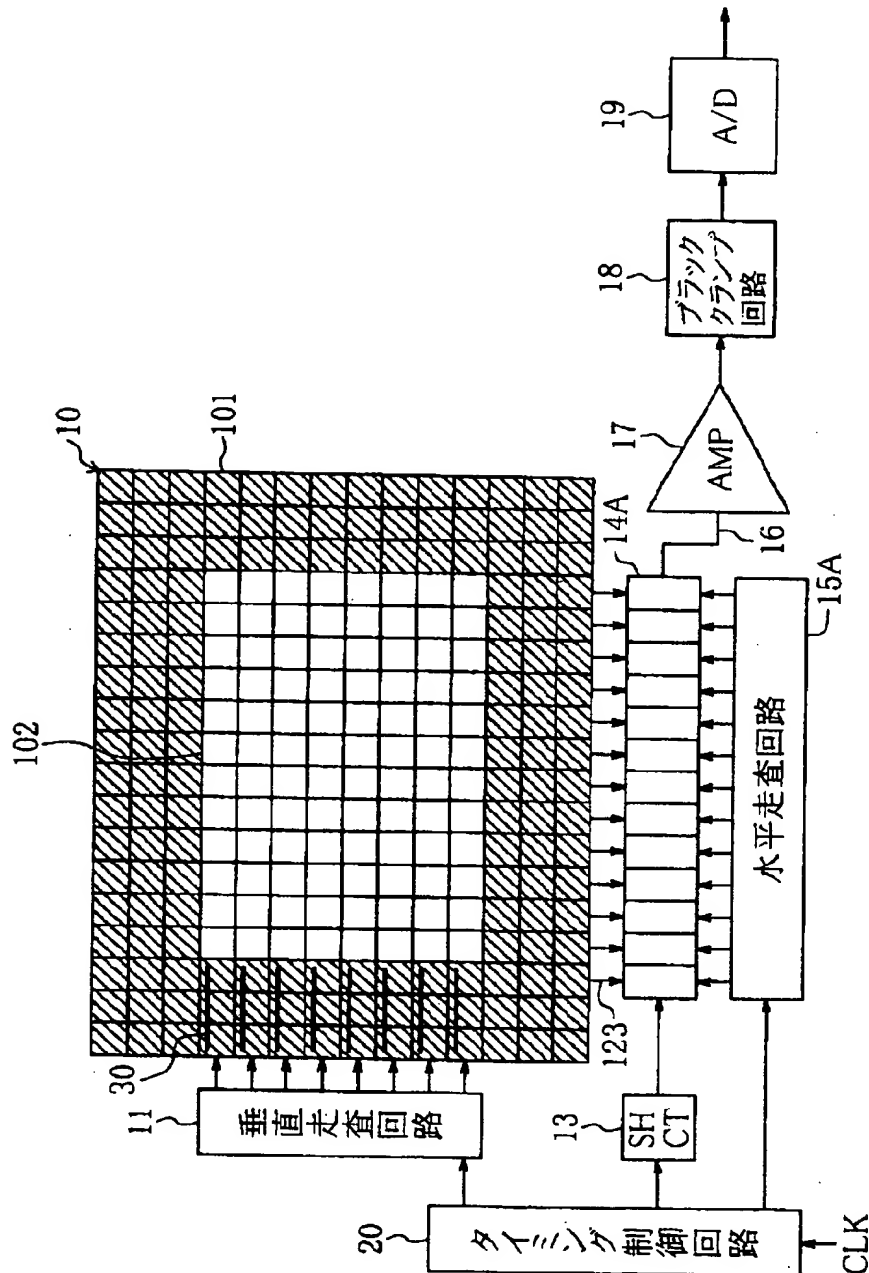
【図 3】

水平ブランキング期間において光学的黒画面領域から読み出された暗電流積分信号を示す線図



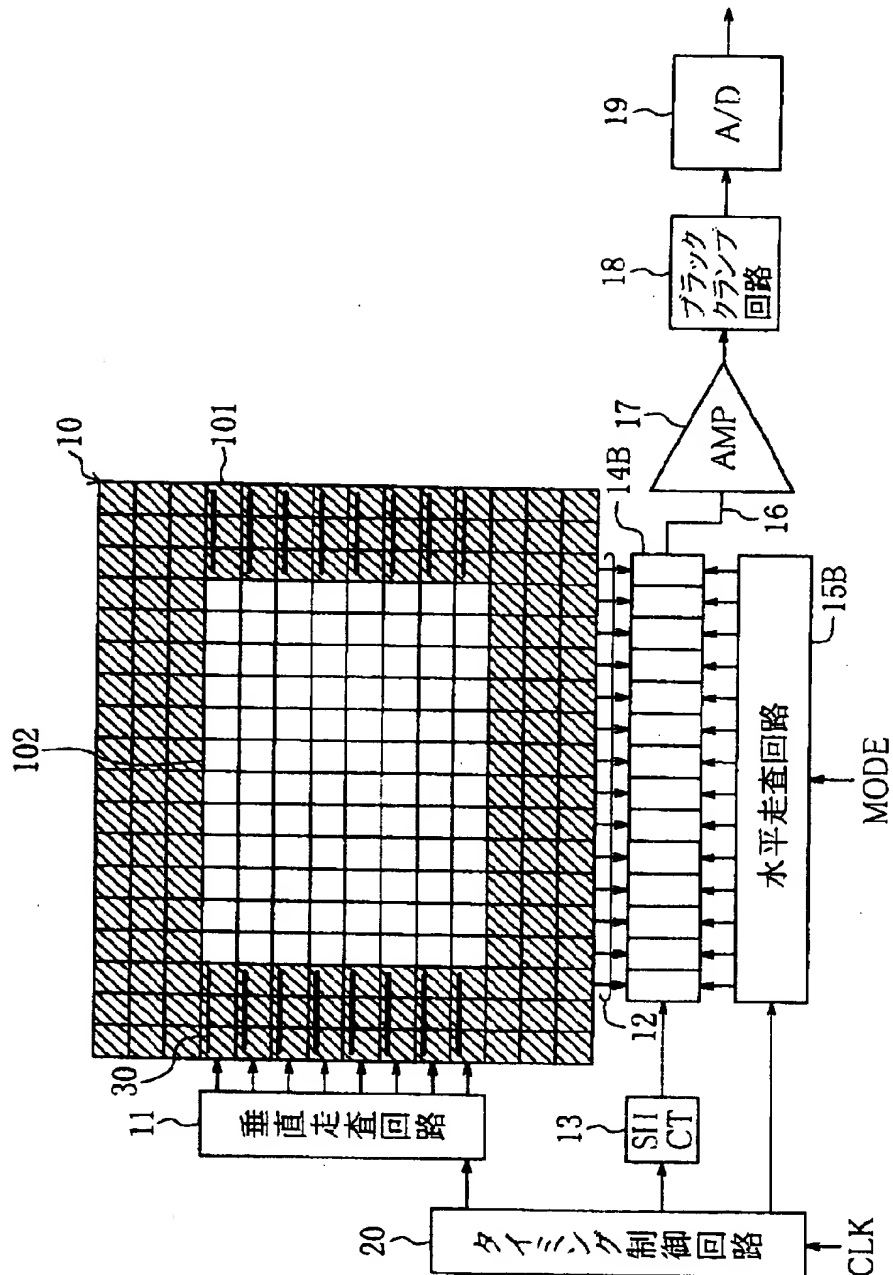
【図 4】

本発明の第2実施形態のイメージセンサを示す概略ブロック図



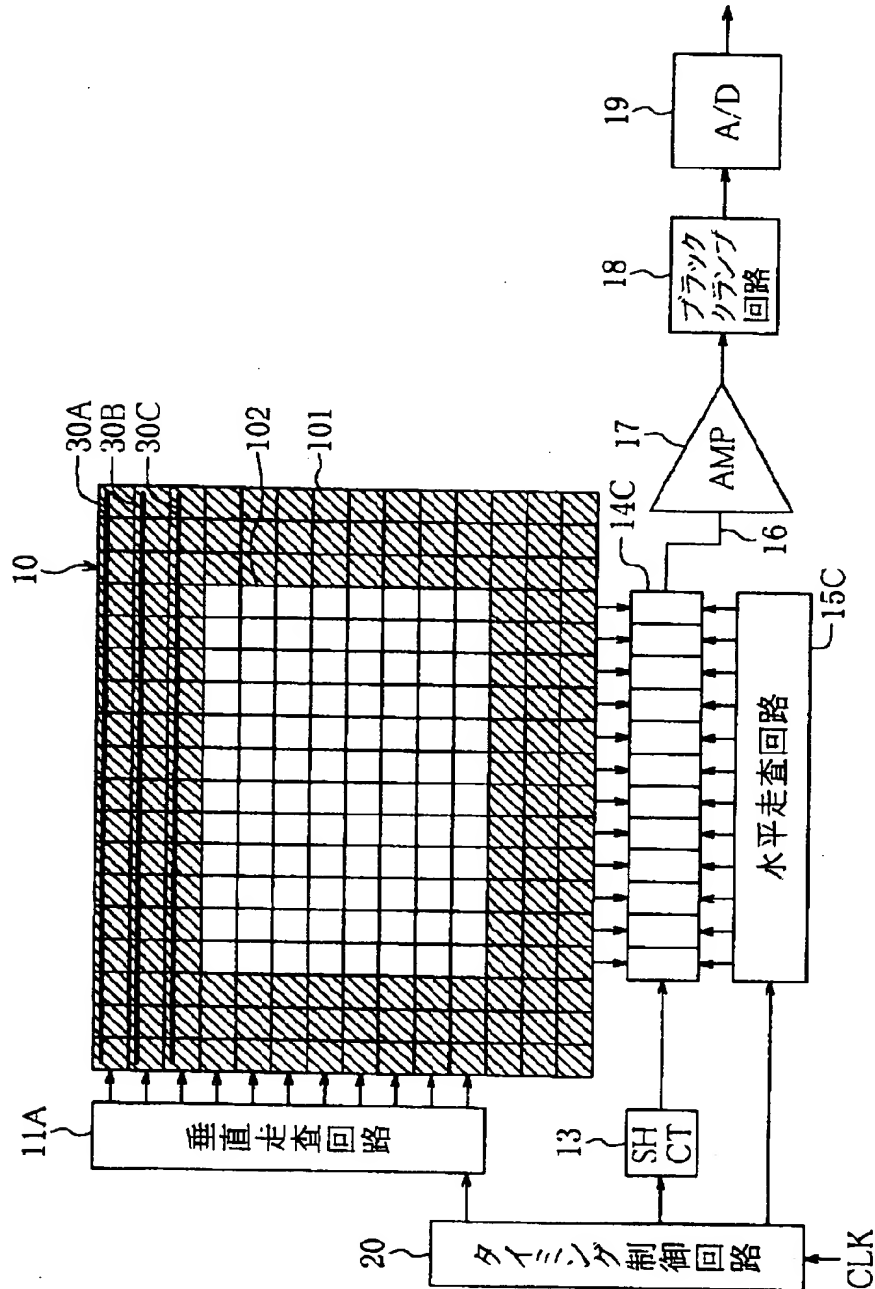
【図 5】

本発明の第3実施形態のイメージセンサを示す概略ブロック図



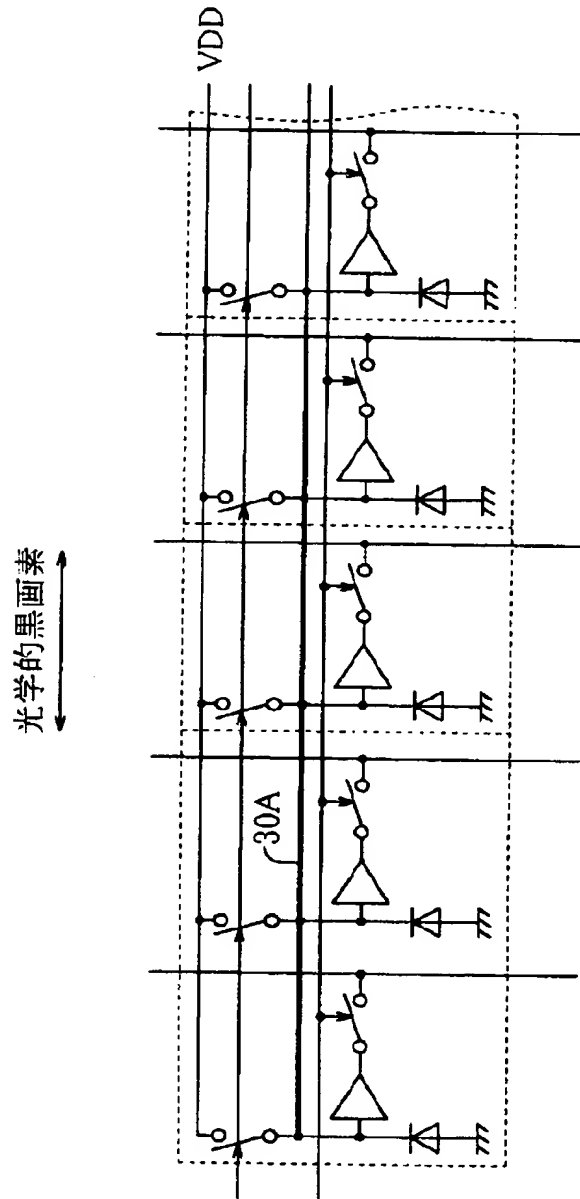
【図 6】

本発明の第4実施形態のイメージセンサを示す概略ブロック図



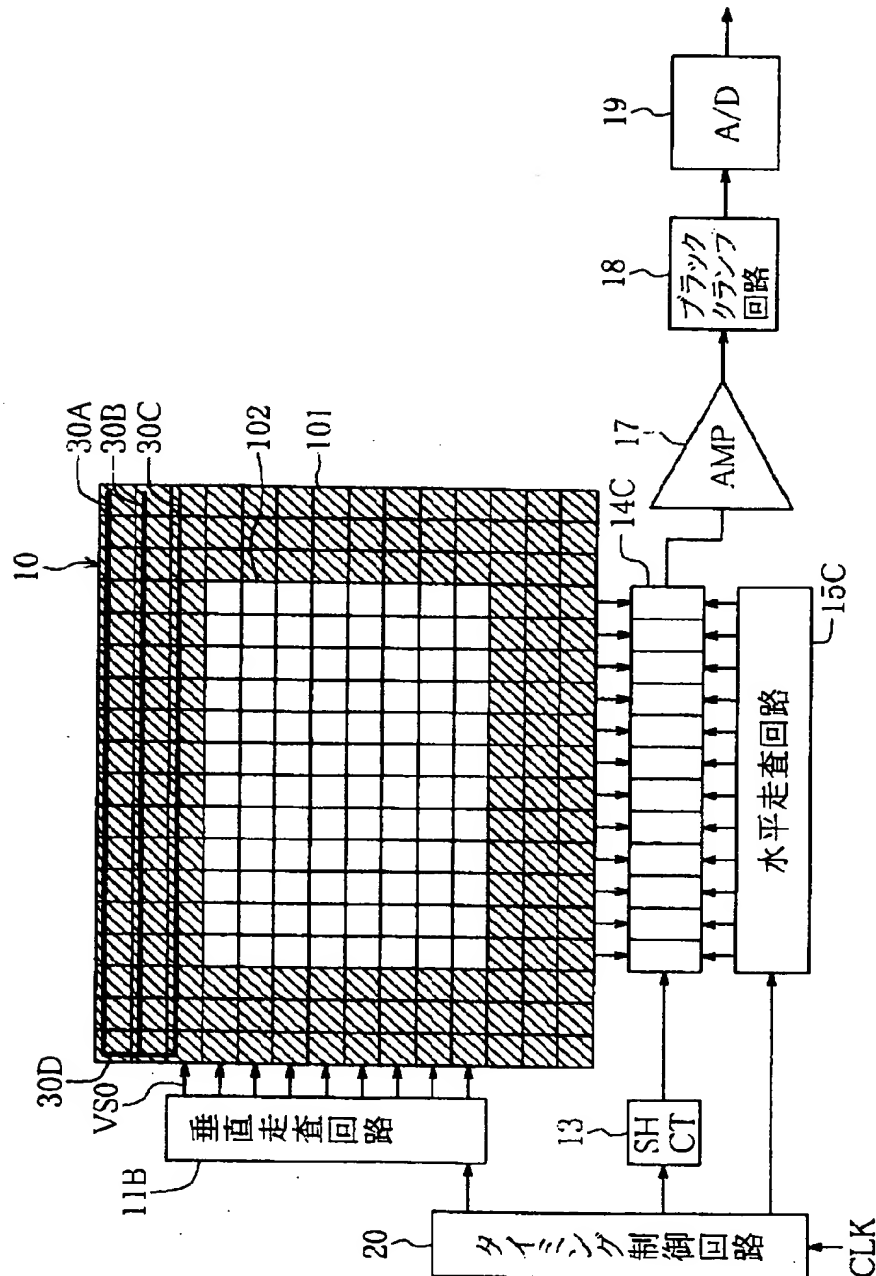
【図 7】

図6中の電位平均化ライン30A及びその付近の回路の一部を示す図



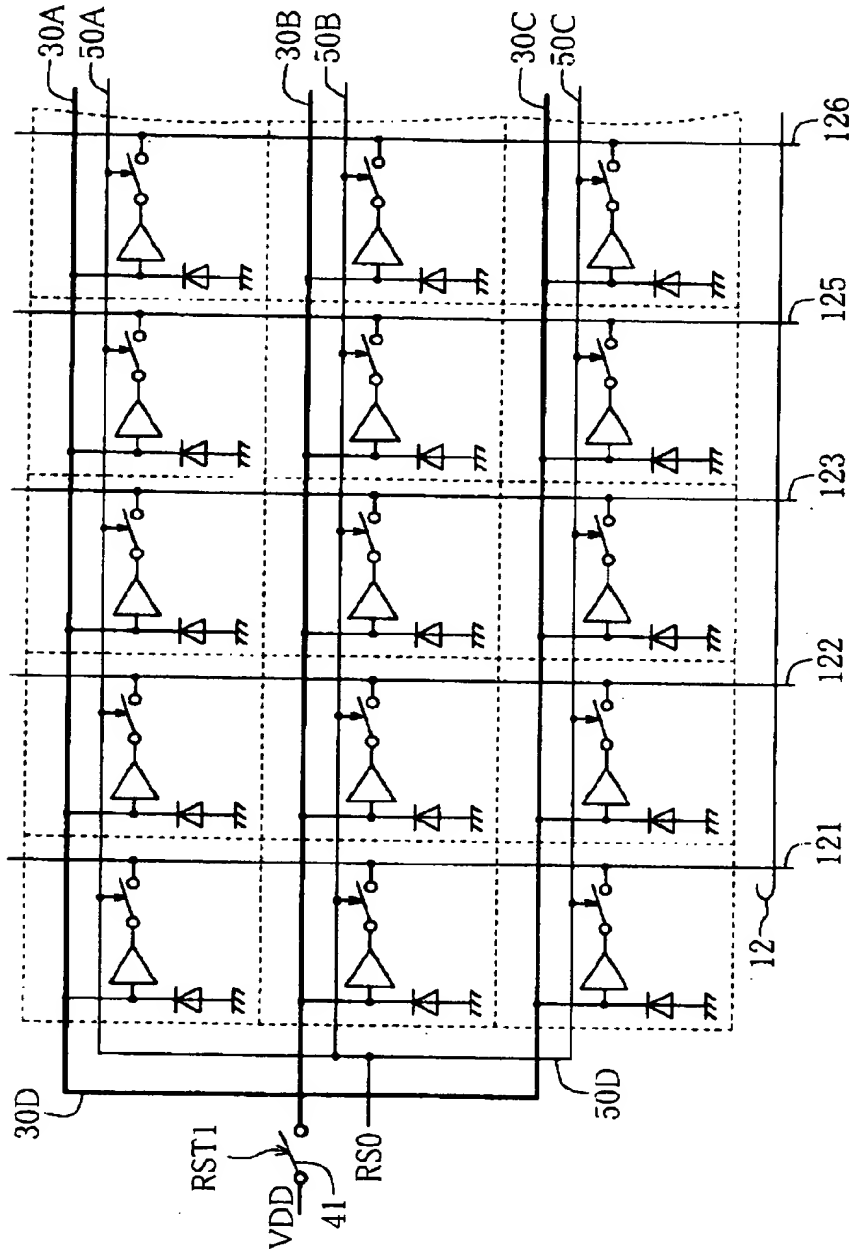
【図 8】

本発明の第5実施形態のイメージセンサを示す概略ブロック図



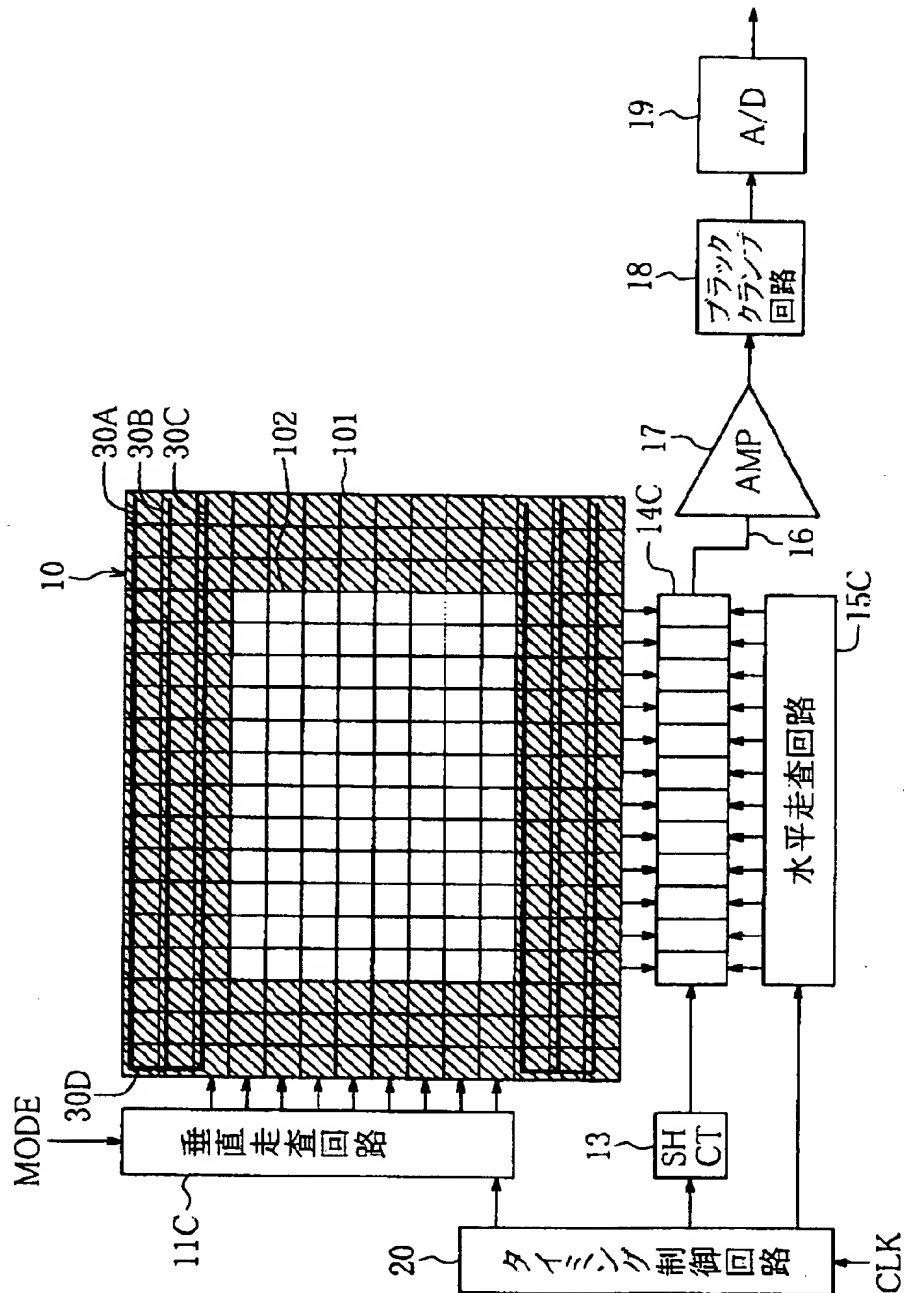
【図9】

図8中の電位平均化ライン30A～30D及び  
その付近の回路の一部を示す図



【図10】

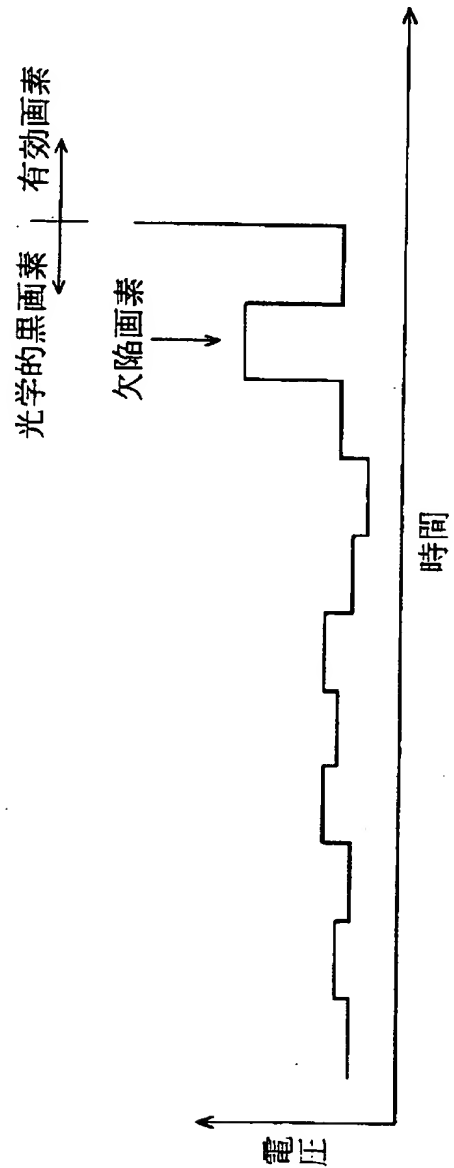
本発明の第6実施形態のイメージセンサを示す概略ブロック図





【図 1 1】

水平ブランキング期間において従来の光学的黒画素領域から読み出された暗電流積分信号を示す線図



【書類名】 要約書

【要約】

【課題】画素欠陥などによりブラッククランプレベルがばらつくのを防止し、また、黒レベルをより短時間で求める。

【解決手段】同一画素行のリセットスイッチ素子41～45の制御入力端は行リセットライン51で共通に接続され、光学的黒画素21～23のホトダイオード(31)のリセット端としてのカソードは、電位平均化ライン30で共通に接続されている。フレームブラッククランプを行う場合には、光学的黒画素領域の垂直走査開始側の各画素行に、電位平均化ラインを前記同様に接続される。この場合、電位平均化ラインを共通に接続して、1画素行のように動作させてもよい。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社